

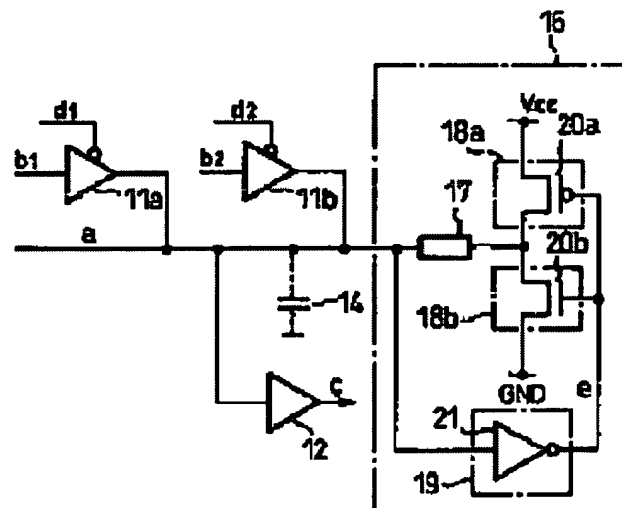
## SIGNAL TERMINATING CIRCUIT AND SIGNAL TRANSMITTING METHOD THEREFOR

**Patent number:** JP9046213  
**Publication date:** 1997-02-14  
**Inventor:** AKIYAMA KENJI  
**Applicant:** TOKYO SHIBAURA ELECTRIC CO  
**Classification:**  
- **International:** H03K19/0175; G06F3/00; H04L25/02  
- **European:**  
**Application number:** JP19950211282 19950728  
**Priority number(s):** JP19950211282 19950728

Report a data error here

### Abstract of JP9046213

**PROBLEM TO BE SOLVED:** To reduce power consumption in association with the level transition of a pull-up resistance and a signal, to reduce power consumed by a terminating resistance for impedance matching and to shorten transmission time required pre signal transmission. **SOLUTION:** When a driver 11 is driven and an input signal (b) is fetched in a signal line (a), the signal level of the signal line (a) is set to the signal level of the input signal (b), and a switch control circuit 19 changes over a first switch element 18a and a second switch element 18b to power lines or ground line by the signal level of the signal line (a). Since current hardly flows in a resistance element 17, power consumption can be reduced. A period when the driver 11 drives the signal line (a) is caused to terminate earlier than that when a receiver reads the signal, and transmission time is shortened.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-46213

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175			H 0 3 K 19/00	1 0 1 Q
G 0 6 F 3/00			G 0 6 F 3/00	K
H 0 4 L 25/02		9199-5K	H 0 4 L 25/02	F

審査請求 未請求 請求項の数 5 F D (全 9 頁)

(21) 出願番号 特願平7-211282

(22) 出願日 平成7年(1995)7月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 秋山 賢二

東京都府中市東芝町1番地 株式会社東芝  
府中工場内

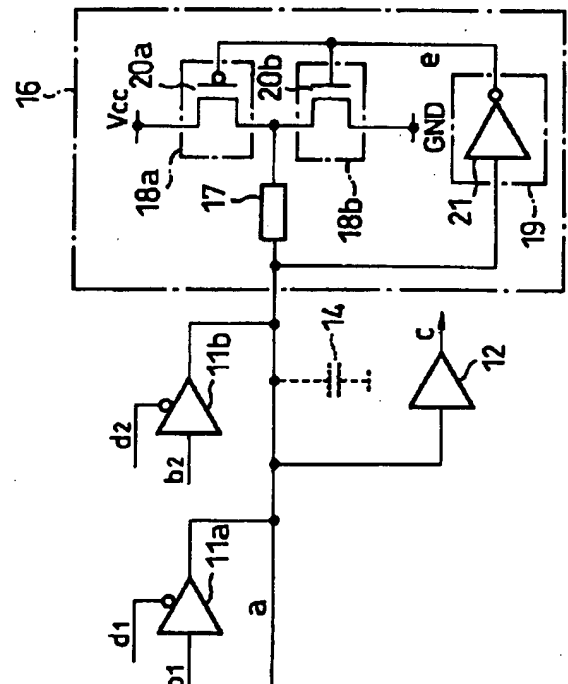
(74) 代理人 弁理士 紋田 誠

(54) 【発明の名称】 信号終端回路及びその信号伝送方法

(57) 【要約】

【課題】 ブルアップ抵抗や信号のレベル遷移に伴う電力消費を軽減し、インピーダンスマッチング用の終端抵抗によって消費される電力を少なくし、信号伝送1回当たりに必要な伝送時間を短くする。

【解決手段】 ドライバ11が駆動され入力信号bを信号ラインaに取り込んでいるときは、信号ラインaの信号レベルはその入力信号bの信号レベルとし、スイッチ制御回路19は、第1のスイッチ素子18a及び第2のスイッチ素子18bを信号ラインaの信号レベルによって電源ライン又はグラウンドラインに切り替える。したがって、抵抗素子17には電流は殆ど流れないので電力消費を軽減できる。ドライバ11が信号ラインaを駆動する期間終了が、レシーバ12が信号を読みとるよりも早く終結するようにし、伝送時間を短くする。



## 【特許請求の範囲】

【請求項1】 ドライバが出力した信号をレシーバが読みとる信号ラインの信号終端回路において、前記信号ラインの終端に接続された抵抗素子と、一方端が前記抵抗素子に接続され他方端が電源ラインと接続された第1のスイッチ素子と、一方端が前記抵抗素子に接続され他方端がグラウンドラインと接続された第2のスイッチ素子と、前記第1のスイッチ素子及び前記第2のスイッチ素子を前記信号ラインの信号レベルによって切り替えるスイッチ制御回路とから構成されることを特徴とする信号終端回路。

【請求項2】 スイッチ制御回路は、前記信号ラインの信号レベルがLのときは、第1のスイッチ素子をオン、第2のスイッチ素子をオフし、前記信号ラインの信号レベルがHのときは、第2のスイッチ素子をオン、第2のスイッチ素子をオフするようにしたことを特徴とする請求項1に記載の信号終端回路。

【請求項3】 前記抵抗素子のインピーダンスは、前記信号ラインの伝送インピーダンスと同じ値としたことを特徴とする請求項1又は請求項2に記載の信号終端回路。

【請求項4】 前記信号ラインの信号レベルを入力し所定の遅れ時間を持って出力する遅れ時間回路を設け、この遅れ時間回路の出力信号を前記スイッチ制御回路に入力するようにしたことを特徴とする請求項3に記載の信号終端回路。

【請求項5】 ドライバが出力した信号をレシーバが読みとる信号ラインの終端に前記請求項1又は請求項2の信号終端回路を接続し、前記ドライバが駆動されたときは前記信号ラインの信号レベルを前記ドライバの入力信号のレベルとし、前記ドライバが駆動をやめたときは前記信号ラインはそのままの信号レベルで保持し、前記ドライバが前記信号ラインを駆動する期間終了が前記レシーバが信号を読みとるよりも早く終結するようにしたことを特徴とする信号伝送方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ドライバが出力した信号をレシーバが読みとる信号ラインの信号終端回路及びその信号伝送方法に関する。

【0002】

【従来の技術】近年、マイクロプロセッサやメモリの高集積化に伴い、電子機器の小型化が図られている。電子機器の小型化により放熱が難しくなるので、その分、電子機器が発生する電力消費を少なくし、電子機器の温度が上がりすぎないようにしなければならない。また、最近では省エネルギーの観点から電子機器の省電力化を推進する動きがある。

【0003】ここで、ドライバが出力した信号をレシーバが読みとる信号ラインとして、計算機などに使用され

ているバスについて注目してみる。複数のドライバが信号線を駆動するワイヤードORによるバス方式は最も一般的に用いられている。このワイヤードORによるバス方式では、どのドライバも信号をドライブしていないハインピーダンス状態で信号レベルを確定させるために、信号をプルアップするのが一般的である。プルアップの抵抗値としては $1\text{ k}\Omega \sim 10\text{ k}\Omega$ の値が主に使われる。図6にプルアップ抵抗を使った一般的なバスの構成図を示す。

10 【0004】図6において、ドライバ11aには入力信号b1が入力され、その入力信号b1は、コントロール信号d1により信号ラインaに取り込まれる。同様に、ドライバ11bには入力信号b2が入力され、その入力信号b2は、コントロール信号d2により信号ラインaに取り込まれる。そして、信号ラインaに取り込まれた信号レベルは、レシーバ12で読み取られ出力信号cを出力する。また、信号ラインaの終端にはプルアップ抵抗13が接続されており、信号ラインaの信号レベルにおけるHレベルを保持するようにしている。図6中の14は浮遊容量を示している。

20 【0005】いま、ドライバ11a及びドライバ11bが信号ライン上に「0、0、1、0」というデータを交互に出力する場合について説明する。すなわち、図7に示すように、ドライバ11aが信号ラインa上に「0」、ドライバ11bが信号ラインa上に「0」、続いてドライバ11aが信号ラインa上に「1」、ドライバ11bが信号ラインa上に「0」を出力する場合について説明する。

30 【0006】図7に示すように、ドライバ11aの入力信号b1が「0」であることを、コントロール信号d1をLにすることにより信号ラインa上に取り出し、続いて、ドライバ11bの入力信号b2が「0」であることを、コントロール信号d2をLにすることにより信号ラインa上に取り出す。以下同様に、ドライバ11aの入力信号b1が「1」であることを、コントロール信号d1をLにすることにより信号ラインa上に取り出し、続いて、ドライバ11bの入力信号b2が「0」であることを、コントロール信号d2をLにすることにより信号ラインa上に取り出す。

40 【0007】この場合、データとデータの間にはハインピーダンスの状態があり、そのときプルアップ抵抗13によって信号ラインa上の信号のレベルはいったんHの状態になる。但し「1」のデータが出力された時は、信号レベルが変化することなく、Hの状態のままとなる。このようにして、ドライバ11a、11bからの信号を信号ラインaに供給し、レシーバ12で読み取るようにしている。

【0008】

50 【発明が解決しようとする課題】ところが、このような方式では、データが「0」になった回数だけ信号ライン

## 3

aの信号レベルの遷移が発生するので、その分の電力が消費されることになる。いま、この伝送回路の消費電力について考えると、各ドライバ11は信号のレベルを遷移させるために信号ラインa上の浮遊容量14に電流を流し込むので、そのとき電力が消費される。従って、信号ラインaの消費電力を少なくするには、信号ラインaの遷移回数を減らせばよいことになる。

【0009】また、ブルアップ抵抗13により信号を確定させていると、信号レベルがLレベルになったときブルアップ抵抗13を通して電流が流れ、多くの電力が消費されるという問題があった。

【0010】一方、クロックライン等信号の反射ノイズを低減するためには、伝送ラインと終端のインピーダンスマッチングをとる必要がある。この場合、伝送ラインのインピーダンス（一般に50Ω～100Ω程度）と近い値に、終端抵抗の抵抗値をとる必要がある。Lレベルにおける電力消費はさらに大きくなる。これは、ブルダウンによる終端でもHレベルの時に電力が消費され、また図8に示すような終端抵抗15a、15bを有するテブナ終端でも、Lレベル及びHレベルの両方のレベルで電力消費されるので同じである。

【0011】複数のドライバ11が信号を出力するワイヤードOR型の信号ラインaでは、信号を駆動するドライバ11側は、レシーバ12側がデータを受け取るまで信号を駆動し続けなくてはならない。この伝送時間T0を、図6及び図9のタイムチャートを使って説明する。

【0012】図9において、コントロール信号d1がLになりドライバ11aを駆動して信号ラインaの信号レベルが確定するまでの時間がアクティブ時間ta、信号が確定後レシーバ12が信号読み取りのために必要とする時間がデータセットアップ時間tsとホールド時間thである。データセットアップ時間tsが終了した時点、すなわちホールド時間thの開始時点が、レシーバ12のデータ読み取りタイミングとなる。データの読み取りが完了した後、出力コントロール信号d1をHにしてドライバ11の信号の駆動をやめ、完全に信号の駆動が無くなるまでの時間をハイインピーダンス時間tzと呼び、この後でなくては他のドライバ11bは信号を駆動することができない。

【0013】従って、この信号ラインa上で信号の伝送1回当たりの伝送時間T0はアクティブ時間ta、セットアップ時間ts、ホールド時間th、ハイインピーダンス時間thの合計となり、これ以上時間を短縮することは原理的にできなかった。

【0014】このように、信号ラインaの信号のレベルを確定させるためにブルアップ抵抗13によって、信号レベルを確定させようとする、信号レベルがLのときブルアップ抵抗13に流れる電流によって多くの電力消費が発生する。また、ハイインピーダンスになる際、信号のLレベル信号がHレベルに遷移し、信号線がもつ浮

## 4

遊容量に電荷が充放電することによる電力消費が発生する。このような回路の動作が電子機器の低消費電力化を阻害する要因となっている。

【0015】また、信号ラインと終端抵抗のインピーダンスマッチングをとるためには、終端抵抗として抵抗値の小さなものを使用しなければならず、終端抵抗で消費される電力がより多く必要になるという問題があった。

【0016】さらにまた、今までの方式では信号伝送1回当たりの伝送時間には信号アクティブ時間、セットアップ時間、ホールド時間、ハイインピーダンス時間の合計より短くすることはできず伝送速度の向上には限界があった。

【0017】本発明の目的は、ブルアップ抵抗による電力消費をなくし信号のレベル遷移に伴う電力消費を軽減すると共に、インピーダンスマッチング用の終端抵抗によって消費される電力を少なくし、また、信号伝送1回当たりに必要な伝送時間を短くすることができる信号終端回路及びその信号伝送方法を得ることである。

【0018】

【課題を解決するための手段】請求項1の発明における信号終端回路は、信号ラインの終端に接続された抵抗素子と、一端が抵抗素子に接続され他端が電源ラインと接続された第1のスイッチ素子と、一端が抵抗素子に接続され他端がグランドラインと接続された第2のスイッチ素子と、第1のスイッチ素子及び第2のスイッチ素子を信号ラインの信号レベルによって切り替えるスイッチ制御回路とから構成されている。

【0019】請求項2の発明における信号終端回路は、請求項1の発明において、スイッチ制御回路は、信号ラインの信号レベルがLのときは、第1のスイッチ素子をオン、第2のスイッチ素子をオフし、信号ラインの信号レベルがHのときは、第2のスイッチ素子をオン、第2のスイッチ素子をオフするようにしている。

【0020】請求項3の発明における信号終端回路は、請求項1又は請求項2の発明において、抵抗素子のインピーダンスは、信号ラインの伝送インピーダンスと同じ値としている。

【0021】請求項4の発明における信号終端回路は、請求項3の発明において、信号ラインの信号レベルを入力し所定の遅れ時間を持って出力する遅れ時間回路を設け、この遅れ時間回路の出力信号をスイッチ制御回路に入力するようにしている。

【0022】請求項5の発明における信号伝送方法は、ドライバが出力した信号をレシーバが読み取る信号ラインの終端に請求項1又は請求項2の信号終端回路を接続し、ドライバが駆動されたときは信号ラインの信号レベルをドライバの入力信号のレベルとし、ドライバが駆動をやめたときは信号ラインはそのままの信号レベルで保持し、ドライバが信号ラインを駆動する期間終了がレシーバが信号を読み取るよりも早く終結するようにしたも

のである。

【0023】請求項1の発明における信号終端回路では、ドライバが駆動され入力信号を信号ラインに取り込んでいるときは、信号ラインの信号レベルはその入力信号の信号レベルとなる。スイッチ制御回路は、第1のスイッチ素子及び第2のスイッチ素子を信号ラインの信号レベルによって電源ライン又はグラウンドラインに切り替える。したがって、抵抗素子には電流は殆ど流れない。

【0024】請求項2の発明における信号終端回路では、請求項1の発明の作用に加え、スイッチ制御回路は、信号ラインの信号レベルがLのときは、第1のスイッチ素子をオンし第2のスイッチ素子をオフして電源ラインに抵抗素子を接続する。一方、信号ラインの信号レベルがHのときは、第2のスイッチ素子をオンし第1のスイッチ素子をオフしてグラウンドラインに抵抗素子を接続する。したがって、抵抗素子には電流は殆ど流れない。

【0025】請求項3の発明における信号終端回路では、請求項1又は請求項2の発明の作用に加え、クロック信号の入力信号に対し反射ノイズを低減する。

【0026】請求項4の発明における信号終端回路では、請求項3の発明の作用に加え、信号ラインの信号レベル切換時に、遅れ時間回路は信号レベルが確定するまでの遅延時間を持たせる。これにより、終端抵抗である抵抗素子のインピーダンスが変化しないようにしている。

【0027】請求項5の発明における信号伝送方法では、ドライバが駆動されたときは信号ラインの信号レベルはドライバの入力信号のレベルとなり、ドライバが駆動をやめたときは信号ラインはそのままの信号レベルで保持される。そして、ドライバが信号ラインを駆動する期間終了がレシーバが信号を読みとるよりも早く終結する。

【0028】

【発明の実施の形態】以下、本発明の実施例を説明する。図1は、本発明の第1の実施例を示す構成図であり、本発明の信号終端回路16を信号ラインaに接続したものを示している。本発明の信号終端回路16は、信号ラインaに接続した抵抗素子17と、その反対側を電源ラインVCCと接続する第1のスイッチ素子18aと、グラウンドラインGNDと接続する第2のスイッチ素子18bとから構成されるとともに、これら第1のスイッチ素子18a及び第2のスイッチ素子18bのON/OFFを信号ラインaの信号レベルによって制御するためのスイッチ制御回路19とから構成されている。

【0029】ドライバ11a又はドライバ11bが信号ラインaをHレベルに駆動している時は、スイッチ制御回路19は第1のスイッチ素子11a ONし、第2のスイッチ素子11bをOFFするように制御信号eを出力する。このとき、終端抵抗である抵抗素子17には電流

は殆ど流れない。そして、ドライバ11a又はドライバ11bがHレベルへの駆動をやめハイインピーダンス状態になっても、信号ラインaは第1のスイッチ素子18aを通して抵抗素子17でプルアップされているのと同様なので、信号レベルはHのままである。

【0030】次に、ドライバ11a又はドライバ11bがLレベルに駆動すると、信号ラインaはLレベルになる。Lレベルになるとスイッチ制御回路19は第1のスイッチ素子18aをOFF、第2のスイッチ素子18bをONするように制御信号eを出力する。従って抵抗素子17には電流が流れない。

【0031】次に、ドライバ11a及びドライバ11bが駆動をやめハイインピーダンスになると、信号ラインaは抵抗素子17を通してプルダウンされているのと同様になるので、Lレベルを保つ。

【0032】このように、本発明の信号終端回路16では信号ラインaの信号レベルによって抵抗素子17の接続先が第1のスイッチ素子18a及び第2のスイッチ素子18bによって切り替わり、抵抗素子17に電流が流れないようにになっている。また、ドライバ11が信号ラインaの駆動を止めた後は、抵抗素子17がプルアップ抵抗又はプルダウン抵抗として働き、信号レベルをハイインピーダンス状態になる前のレベルを保つようになっている。

【0033】以下、第1の実施例を詳細に説明する。図1から分かるように、ワイヤードOR型の信号ラインaにドライバ11a、ドライバ11b及びレシーバ12が接続されている。ドライバ11a、11bのドライバ駆動のコントロール信号d1、d2は、それぞれ信号ラインaの駆動を制御している。

【0034】本実施例の信号終端回路16の抵抗素子17は10kΩの抵抗素子が用いられ、第1のスイッチ素子18aとしてP型MOSトランジスタ20a、第2のスイッチ素子18bとしてN型MOSトランジスタ20bが使用されている。また、これらトランジスタのON/OFF制御を行うスイッチ制御回路19として、信号ラインaのロジックレベルを反転してゲート制御出力信号eとして出力するインバータ素子21から構成されている。

【0035】ドライバ11a、11bが信号ラインaをHレベルに駆動している時は、インバータ21はLレベルのゲート制御信号eを出力するのでP型MOSトランジスタ20aはONし、N型MOSトランジスタ20bはOFFしており、抵抗素子17には電流は殆ど流れない。ドライバ11a、11bがHレベルへの駆動をやめ、ハイインピーダンス状態になっても、信号ラインaはP型MOSトランジスタ20aを通して抵抗素子17でプルアップされているのと同様なので、信号レベルHのままである。

【0036】次にドライバ11a、11bがLレベルに

## 7

駆動すると信号ラインaは、Lレベルになる。Lレベルになるとインバータ21はHレベルのゲート制御信号eを出力し、P型MOSトランジスタ20aをOFF、N型MOSトランジスタ20bをONする。従って、この場合でも抵抗素子17には電流が流れない。

【0037】次に、ドライバ11a、11bが駆動をやめハイインピーダンスになると、信号ラインaは抵抗素子17を通してプルダウンされているのと同様になるので、Lレベルを保つ。

【0038】図2に、本発明の信号終端回路の動作特性を示す。この場合も、図7に示した場合と同様に、

「0、0、1、0」というデータをドライバ11a及びドライバ11bが交互に出力しているものを示している。コントロール信号d1、d2によりLレベルにあるドライバ11が、入力信号b1又は入力信号b2を信号ラインaに対し駆動している。本発明の信号終端回路16を使用すると、最初のデータ「0」をドライバ11aが駆動した後、コントロール信号d1がHレベルになり駆動を止めた後も、信号ラインのレベルはLのまま保持される。従って、次にドライバ11bがデータ「0」を駆動する際には、信号レベルの遷移がない。この動作が本発明の特徴的な動作となっている。すなわち、本発明の信号終端回路16では、ドライバ11が駆動されたときは信号ラインaの信号レベルをドライバ11の入力信号のレベルとし、ドライバ11が駆動をやめたときは信号ラインaはそのままの信号レベルで保持することになる。

【0039】この図2に示したものでは4つのデータを信号ラインa上で伝送しており、信号ラインaのレベルは2回しか変化しないので、従来例よりは信号の遷移回数が減っていることがわかる。

【0040】以上述べたように、この第1の実施例によれば、信号ラインaのレベルがL又はHのいずれの場合でも抵抗素子17には電流が流れないので、消費電流を抑えることができる。すなわち、従来例でのプルアップでは、信号ラインaがLレベルになったときプルアップ抵抗13を通して電流が流れ電力が消費されるが、本発明の信号終端回路16では、信号ラインaのレベルがL又はHのいずれの場合でも抵抗素子17には電流が流れないので、消費電流を抑えることができる。

【0041】また、信号レベルの遷移回数が従来のプルアップ方式に比べて少ないので、信号ラインの浮遊容量に充放電される電荷によって消費される電力も少なくすることができる。

【0042】この効果を定量的かつに把握できるよう、ランダムなデータを伝送する場合を例にとってレベル遷移による消費電力を計算してみる。いま、信号レベルがH→L→Hと1サイクル遷移した際消費されるエネルギーEは信号ラインの浮遊容量14に蓄えられた電荷のエネルギーEから、下記の(1)式で示される。

## 8

$$【0043】E = CV^2 \quad \dots (1)$$

ここで、Cは信号ラインaの浮遊容量、Vは信号の遷移する信号レベルの電圧である。

【0044】レベル遷移による電力消費Pは単位時間あたりのレベル遷移回数K（H→LまたはL→Hでそれぞれ一回）から $P = CV^2 K / 2$ となる。そして、データとしてはランダムなデータを仮定しているので、従来のプルアップ方式では「0」のデータが発生すると、2回だけレベルが遷移する。従って単位時間あたりのデータの発生頻度をfとすると、「0」のデータは $f / 2$ 回発生し、単位時間あたりのレベル遷移回数はf回となる。従って、消費電力P1は下記の(2)式で示される。

$$【0045】P1 = CV^2 f / 2 \quad \dots (2)$$

本発明の信号終端回路16では、あるデータの次にくるデータが前のデータと異なった場合のみレベルの遷移が発生する。この確率は1/2なので、単位時間あたりのレベル遷移回数は $f / 2$ 回となる。従って、本発明による消費電力P2は、下記の(3)式で示される。

$$【0046】P2 = CV^2 f / 4 \quad \dots (3)$$

本発明によって節約できる電力消費ΔPは、 $\Delta P = P1 - P2$ であるから、下記の(4)式で示される。

$$【0047】\Delta P = CV^2 f / 4 \quad \dots (4)$$

実際に、どのくらいの値になるかを実回路に近い値を代入して計算すると、いま、信号ラインaの浮遊容量を100pF、信号レベルの電圧5V、データの発生頻度107回/sと仮定すると $\Delta P = 6\text{mW}$ となる。これは信号ライン1本あたりの値であり、これを32ビットプロセッサのとデータバスに適用した場合、約200mWの電力を節約することができる。

【0048】以下、本発明の第2の実施例を説明する。図3は本発明の第2の実施例の構成図である。この第2の実施例は、テブナン終端の伝送回路に適用したものであり、入力信号bとしてクロック信号が入力される場合のものを示している。この第2の実施例の信号終端回路16は、図1に示した第1の実施例に対し、遅れ時間回路22を設け、また、抵抗素子17の抵抗値が信号ラインaの伝送インピーダンスZと同等な値で、インピーダンスマッチングがとれる終端抵抗としたものである。

【0049】すなわち、第2の実施例の信号終端回路16は、信号ラインaに接続されインピーダンスマッチングがとれる抵抗素子17と、その反対側を電源ラインVCCと接続する第1のスイッチ素子18aと、グランドラインGNDと接続する第2のスイッチ素子18bとから構成されるとともに、これら第1のスイッチ素子18a及び第2のスイッチ素子18bのON/OFFを信号ラインaの信号レベルによって制御するためのスイッチ制御回路19、及び遅れ時間回路22とから構成されている。

【0050】スイッチ制御回路19は、信号ラインaの信号レベルがHに確定した後に、第1のスイッチ素子1

8aはON、第2のスイッチ素子18bはOFFに切り換える。また、信号レベルがLに確定した後は、第1のスイッチ素子18aはOFF、第2のスイッチ素子18bはONに切り換える。これにより、信号ラインaの信号レベルが確定した後は、終端抵抗である抵抗素子17に電流が流れることはなくなる。また、終端抵抗である抵抗素子17は信号ラインaとのインピーダンスマッチングをとる終端抵抗の役割を果たしており、ドライバ11が信号線を駆動した際に、終端抵抗である抵抗素子17の点で反射を起こすことなく信号のレベルの遷移が終了する。

【0051】以下、第2の実施例につき、クロック信号の伝送を例にして詳細に説明する。終端抵抗である抵抗素子17の抵抗値は、信号ラインaのインピーダンスとマッチングがとれるように、信号ラインaのインピーダンス100Ωに合わせて100Ωとしてある。また、第1のスイッチ素子18aとしては、P型MOSトランジスタ20aが使用され、また、第2のスイッチ素子18bとしては、N型MOSトランジスタ20bが使用されている。そして、これらトランジスタのON/OFF制御を行うスイッチ制御回路19として、信号ラインaのロジックレベルを反転してゲート制御信号eとして出力するインバータ素子21から構成されている。

【0052】ドライバ11の入力信号bからはクロック信号が入力され、信号ラインaによりレシーバ12a、12bにクロック信号が供給され、出力信号c1、c2を出力する。信号ラインaに接続された信号終端回路16には、終端抵抗である抵抗素子17を介してP型MOSトランジスタ20aとN型MOSトランジスタ20bが図3のように接続されており、それぞれ電源ラインVCCとグラウンドラインGNDに接続されている。

【0053】このMOS型トランジスタ20のON/OFF用のゲート電圧は、インバータ素子21によって出力されるゲート制御信号eにより制御される。また、イ

$$P1 = (V2/R1)/2 + (V2/R2)/2 = 125\text{mW} \quad \cdots (5)$$

一方、本発明の第2の実施例における信号終端回路16では、クロック周期Tcに対して終端抵抗である抵抗素子17に電流が流れるのは、遅れ時間tdの時間のみである。いま、Tc=100ns、Td=10ns、終端

$$P2 = (td/Tc) \times (V2/R) = 25\text{mW} \quad \cdots (6)$$

以上のように、従来の信号終端回路に比べて終端抵抗で消費される電力を少なく抑えることができる。

【0059】次に、本発明の第3の実施例を説明する。本発明の第3の実施例では、図1に示した信号終端回路16が接続された伝送回路において、信号伝送方法として、ドライバ11a、11bが駆動されたときは、信号ラインaの信号レベルをドライバ11a、11bの入力信号b1、b2のレベルとし、ドライバ11a、11bが駆動をやめたときは、信号ラインaはそのままの信号レベルで保持し、ドライバ11a、11bが信号ライン

ンバータ素子21の入力には、遅れ時間回路22により信号ラインaの信号が一定の時間だけ遅れたものが入力されている。

【0054】次に、第2の実施例における信号終端回路16の動作特性を図4に示す。信号ラインaにはクロック信号が伝送されており、このクロック信号を基にインバータ21と遅れ時間回路22によりtdだけ遅れたゲート制御信号eが生成される。信号のレベルが確定している状態では、第1の実施例と同様に終端抵抗である抵抗素子17に電流が流れないように、MOSトランジスタ20a、20bが制御されている。信号のレベル切換時に、MOSトランジスタ20a、20bのON/OFF状態が変化して終端抵抗としてのインピーダンスが変化しないように、遅れ時間回路52により信号のレベルが確定するまで遅れ時間をとってある。

【0055】これにより、終端抵抗である抵抗素子17で電力が消費されるのは、レベル切り替わり後の遅れ時間tdまでのわずかな時間だけとなり、信号終端回路16における消費電力の低減を図ることができる。

【0056】以上述べたように、この第2の実施例によれば、終端抵抗である抵抗素子17で消費される電力を少なく抑えることができる。いま、図8に示したテブナ終端の伝送回路の信号終端回路との比較をしてみることにする。図8に示したテブナ終端の伝送回路の信号終端回路では、個々の抵抗の値は2倍の値でもインピーダンスマッチングをとることができる。抵抗値が2倍になり消費電力が1/2になる代わりに、信号レベルがLのときもHのときも、それぞれ終端抵抗15a、15bに電流が流れる。終端抵抗15a、15bの抵抗値R1、R2をそれぞれ200Ω、信号の論理レベルVを5Vとすると、終端抵抗15a、15bで消費される電力P1は、下記の(5)式で示される。

【0057】

抵抗である抵抗素子17の抵抗値Rを100Ω、信号の論理レベルVを5Vとすると、電力消費P2は、下記の(6)式で示される。

【0058】

aを駆動する期間終了が、レシーバ12が信号を読みとるよりも早く終結するようにする。

【0060】すなわち、信号ラインaを駆動する際に、ドライバ11aは信号レベルが確定するまでの間だけ信号ラインaを駆動し、レシーバ12が信号を受け取る間は駆動を取りやめる。これにより、レシーバ12が信号を受け取った時にはドライバ11aの信号の駆動が無くなっているため、他のドライバ11bがすぐに信号ラインaを駆動できる。

【0061】図5に、本発明の第3の実施例の動作特性

11

を示す。ドライバ11aのコントロール信号d1がしになり、ドライバ11aが信号ラインaを駆動し始め信号レベルが確定するまでにアクティブ時間t<sub>a</sub>を必要とする。本発明の第3の実施例の信号伝送方法では、信号終端回路として図1に示した信号終端回路16を備えており、ドライバ11aが信号を駆動しなくても信号ラインaの信号レベルはそのままの状態で保たれるので、ドライバ11aはデータ確定後すぐに信号の駆動を止めることができる。信号が確定後、レシーバ12はすぐに信号読み取り動作に入ることができる。この場合、信号読み取りのためにデータセットアップ時間t<sub>s</sub>とホールド時間t<sub>h</sub>とを必要とする。

【0062】データの読み取り終了後には、ドライバ11bが新たなデータを駆動しようとした場合、即度に次のデータを信号ラインa上に駆動することができる。すなわち、本発明の第3の実施例では、既にドライバ11aの信号の駆動が終わっているので、レシーバ12がデータ取り込み完了後においては、即度に次のデータを信号ラインa上に駆動することができる。

【0063】このことにより、本発明の第3の実施例によれば、この信号ラインa上で信号の伝送1回あたりの伝送時間T<sub>1</sub>はアクティブ時間t<sub>a</sub>、セットアップ時間t<sub>s</sub>、ホールド時間t<sub>h</sub>の合計でよく伝送時間T<sub>1</sub>を短縮することができる。

【0064】上述の説明では、データの読みとり中にドライバ11aがハイインピーダンスになることから、 $t_s + t_h > t_z$ という条件が成立する場合の説明であったが、 $t_s + t_h < t_z$ となる条件の場合でも良いことは勿論である。すなわち、伝送時間T<sub>1</sub>はアクティブ時間t<sub>a</sub>とインピーダンス時間t<sub>z</sub>の合計でよく、従来よりも伝送時間を短縮することができる。

【0065】

【発明の効果】以上の説明のように本発明の信号終端回路によれば、ドライバが駆動され入力信号を信号ラインに取り込んでいるときは、信号ラインの信号レベルはその入力信号の信号レベルとなり、スイッチ制御回路は第1のスイッチ素子及び第2のスイッチ素子を信号ラインの信号レベルによって電源ライン又はグランドラインに切り替えるので、抵抗素子には電流は殆ど流れない。このことから、プルアップ抵抗によって消費される電力を

12

減らすことができるとともに、信号ラインの浮遊容量を充放電することによって消費される電力を軽減できる。

【0066】また、同様に、インピーダンスマッチングを行うための終端抵抗によって消費される電力も軽減できる。

【0067】また、本発明の信号伝送方法によれば、ドライバが信号ラインを駆動する期間終了が、レシーバが信号を読みとるよりも早く終結するので、信号ライン上の1回あたり必要となる伝送時間を短縮することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す構成図。

【図2】本発明の第1の実施例の動作を示す特性図。

【図3】本発明の第2の実施例を示す構成図。

【図4】本発明の第2の実施例の動作を示す特性図。

【図5】本発明の第3の実施例での伝送時間の説明図。

【図6】従来例の構成図。

【図7】従来例の動作を示す特性図。

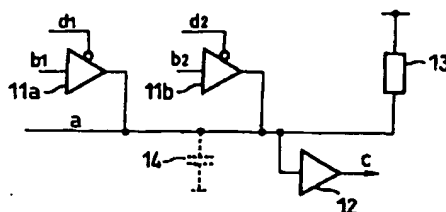
【図8】他の従来例を示す構成図。

【図9】従来例での伝送時間の説明図。

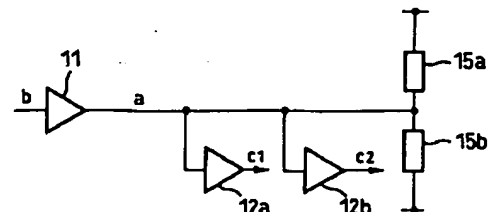
【符号の説明】

- 11 ドライバ
- 12 レシーバ
- 13 プルアップ抵抗
- 14 浮遊容量
- 15 終端抵抗
- 16 信号終端回路
- 17 抵抗素子
- 18a 第1のスイッチ素子
- 18b 第2のスイッチ素子
- 19 スwitch制御回路
- 20a P型MOSトランジスタ
- 20b N型MOSトランジスタ
- 21 インバータ素子
- 22 遅れ時間回路
- a 信号ライン
- b1, b2 入力信号
- c1, c2 出力信号
- d1, d2 コントロール信号
- e ゲート制御信号

【図6】

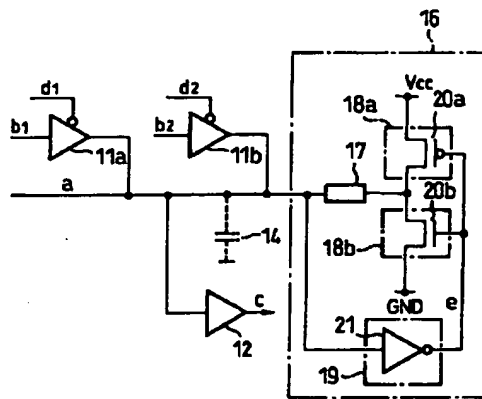


【図8】

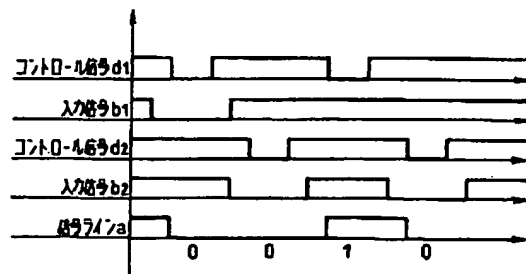




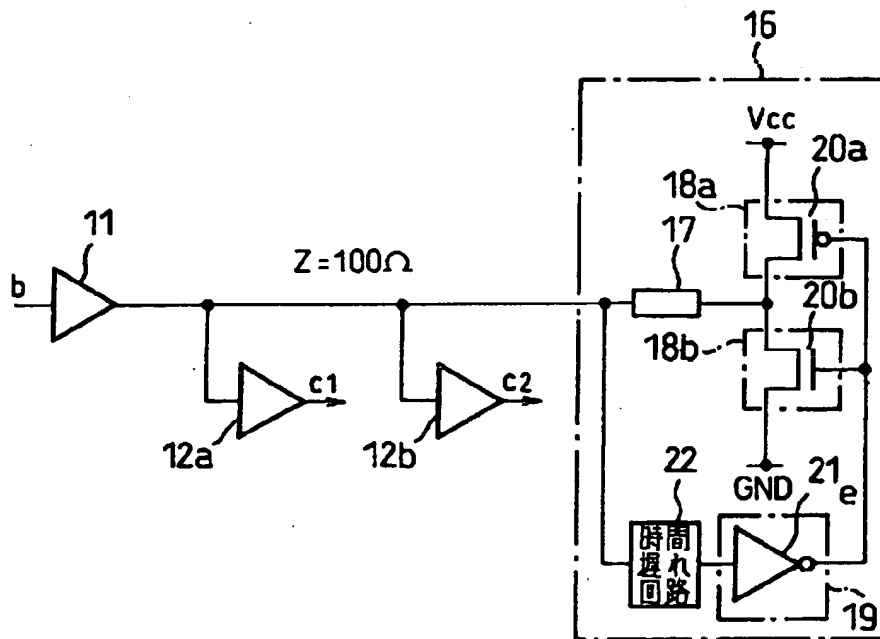
【図 1】



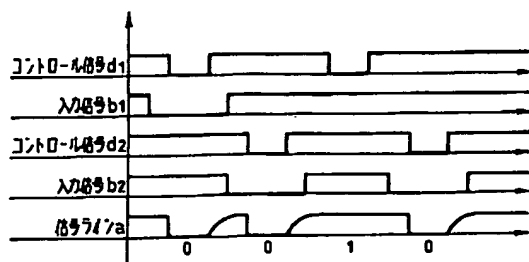
【図 2】



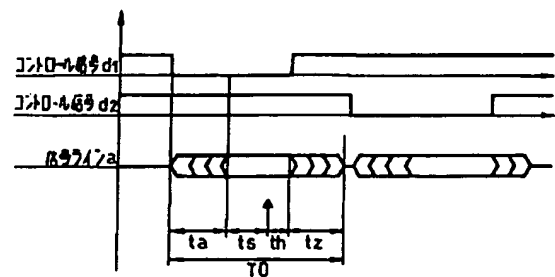
【図 3】



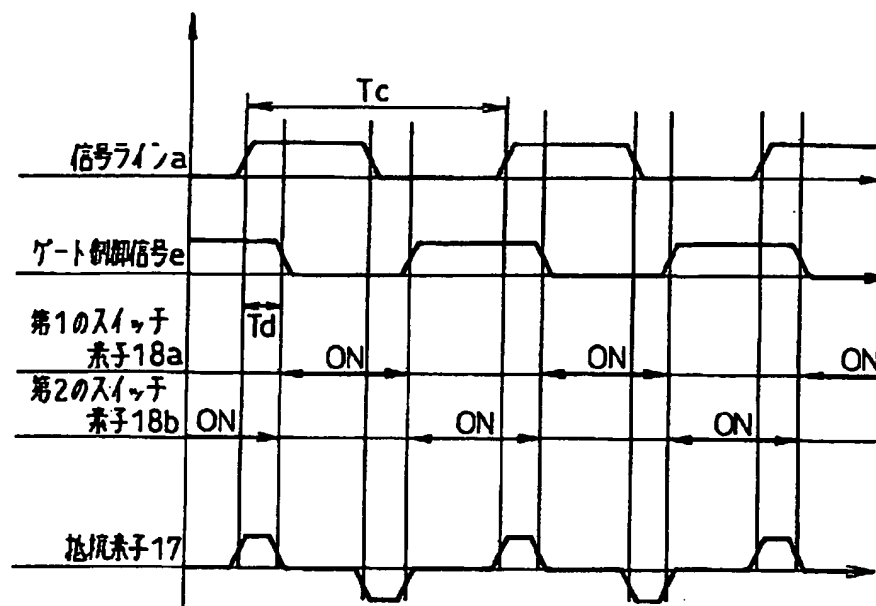
【図 7】



【図 9】



【図4】



【図5】

